

Docket No.: SON-2780
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Hiroki SATO et al

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: June 26, 2003

Examiner: Not Yet Assigned

For: SOLID-STATE IMAGE PICKUP DEVICE
AND PIXEL DEFECT TESTING METHOD
THEREOF

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

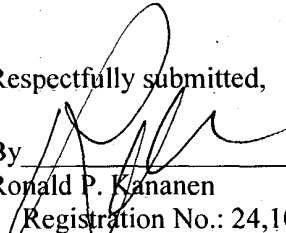
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2002-197512	July 5, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: June 26, 2003

Respectfully submitted,

By 
Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 5日

出 願 番 号

Application Number:

特願2002-197512

[ST.10/C]:

[JP2002-197512]

出 願 人

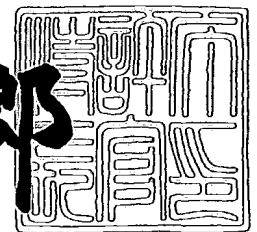
Applicant(s):

ソニー株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願

【整理番号】 0290286206

【提出日】 平成14年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 05/335

【発明者】

 【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・
 エルエスアイ・デザイン株式会社内

 【氏名】 佐藤 弘樹

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

 【氏名】 中村 信男

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

 【氏名】 馬淵 圭司

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

 【氏名】 阿部 高志

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

 【氏名】 梅田 智之

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

 【氏名】 藤田 博明

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 船津 英一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100089875

【弁理士】

【氏名又は名称】 野田 茂

【電話番号】 03-3266-1667

【手数料の表示】

【予納台帳番号】 042712

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置及びその画素欠陥検査方法

【特許請求の範囲】

【請求項 1】 光電変換を行う複数の単位画素よりなる画素部と、
前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、
前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の
信号処理を施して出力する出力信号処理回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込
み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路
と、

前記駆動回路、出力信号処理回路、及び画素欠陥判定回路に所定の動作パルス
を供給するタイミングジェネレータ回路と、

を有することを特徴とする固体撮像装置。

【請求項 2】 前記信号処理回路と画素欠陥判定回路を通常出力時と欠陥検
査時とで選択する選択回路を有することを特徴とする請求項 1 記載の固体撮像装
置。

【請求項 3】 前記駆動回路は、前記画素部の各単位画素を 1 画素単位また
は画素列単位または画素行単位で読み出す機能を有することを特徴とする請求項
1 記載の固体撮像装置。

【請求項 4】 前記駆動回路は、通常で画素を選択する通常読み出し
動作と、前記通常読み出し動作より高速で画素を選択する高速読み出し動作とを
行う機能を有することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 5】 前記駆動回路は、前記画素部の欠陥検査時に高速読み出し動
作で画素を選択して信号の読み出しを行うことを特徴とする請求項 4 記載の固体
撮像装置。

【請求項 6】 前記駆動回路は、1 画素単位または画素列単位または画素行
単位で画素を選択する通常読み出し動作と、前記通常読み出し動作より多い画素
を選択する多画素読み出し動作とを行う機能を有することを特徴とする請求項 1
記載の固体撮像装置。

【請求項 7】 前記駆動回路は、前記画素部の欠陥検査時に多画素読み出し動作で画素を選択して信号の読み出しを行うことを特徴とする請求項 6 記載の固体撮像装置。

【請求項 8】 前記駆動回路は、1 画素単位または画素列単位または画素行単位で画素を選択する通常読み出し動作と、前記通常読み出し動作より多い画素を前記通常読み出し動作より高速で選択する多画素高速読み出し動作とを行う機能を有することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 9】 前記駆動回路は、前記画素部の欠陥検査時に多画素高速読み出し動作で画素を選択して信号の読み出しを行うことを特徴とする請求項 8 記載の固体撮像装置。

【請求項 10】 光電変換を行う複数の単位画素よりなる画素部と、
前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、
前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の信号処理を施して出力する出力信号処理回路と、

前記駆動回路、及び出力信号処理回路に所定の動作パルスを供給するタイミングジェネレータ回路と、

を有する固体撮像装置の画素欠陥検査方法であって、

前記出力信号処理回路とは独立して前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路を設けるとともに、前記タイミングジェネレータ回路からの動作パルスによって前記画素欠陥判定回路を制御し、前記画素部から出力される画素出力信号の欠陥検査を行う、

ことを特徴とする固体撮像装置の画素欠陥検査方法。

【請求項 11】 前記画素部の欠陥検査時に、前記駆動回路によって通常出力時よりも高速で画素を選択して信号の読み出しを行うことを特徴とする請求項 10 記載の固体撮像装置の画素欠陥検査方法。

【請求項 12】 前記画素部の欠陥検査時に、前記駆動回路によって通常出力時よりも多い画素を選択して信号の読み出しを行うことを特徴とする請求項 10 記載の固体撮像装置の画素欠陥検査方法。

【請求項13】 前記画素部の欠陥検査時に、前記駆動回路によって通常出力時よりも多い画素をより高速で選択して信号の読み出しを行うことを特徴とする請求項10記載の固体撮像装置の画素欠陥検査方法。

【請求項14】 前記画素欠陥判定回路による画素部の欠陥検査と並行して、同一チップ上に混載された他の回路に所定の検査信号を入力して前記他の回路の欠陥検査を行うことを特徴とする請求項10記載の固体撮像装置の画素欠陥検査方法。

【請求項15】 半導体チップ上に被写体の撮像を行う固体撮像部を搭載した半導体装置において、

光電変換を行う複数の単位画素よりなる画素部と、

前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の信号処理を施して出力する出力信号処理回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路と、

前記駆動回路、出力信号処理回路、及び画素欠陥判定回路に所定の動作パルスを供給するタイミングジェネレータ回路と、

を有することを特徴とする半導体装置。

【請求項16】 被写体の撮像を行う固体撮像部と、前記固体撮像部によって撮像した画像を出力する出力部とを有するカメラ装置において、

前記固体撮像部は、

光電変換を行う複数の単位画素よりなる画素部と、

前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の信号処理を施して出力する出力信号処理回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路と、

前記駆動回路、出力信号処理回路、及び画素欠陥判定回路に所定の動作パルス
を供給するタイミングジェネレータ回路とを有している、
ことを特徴とするカメラ装置。

【請求項17】 被写体の撮像を行う固体撮像部と、前記固体撮像部によっ
て撮像した画像を伝送する通信部とを有する通信装置において、

前記固体撮像部は、

光電変換を行う複数の単位画素よりなる画素部と、

前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の
信号処理を施して出力する出力信号処理回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込
み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路
と、

前記駆動回路、出力信号処理回路、及び画素欠陥判定回路に所定の動作パルス
を供給するタイミングジェネレータ回路とを有している、

ことを特徴とする通信装置。

【請求項18】 被写体の撮像を行う固体撮像部と、前記固体撮像部によっ
て撮像した画像に所定の画像処理を行う画像処理部とを有する画像処理装置にお
いて、

前記固体撮像部は、

光電変換を行う複数の単位画素よりなる画素部と、

前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の
信号処理を施して出力する出力信号処理回路と、

前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込
み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路
と、

前記駆動回路、出力信号処理回路、及び画素欠陥判定回路に所定の動作パルス
を供給するタイミングジェネレータ回路とを有している、

ことを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CCDイメージセンサやCMOSイメージセンサ等の固体撮像装置に関し、特にその画素欠陥を検査するための画素欠陥検査方法に関する。

【0002】

【従来の技術】

近年、CCDイメージセンサやCMOSイメージセンサなどを用いた固体撮像装置は、各種の携帯端末機器、デジタルスチルカメラ、デジタルビデオカメラなどの画像入力装置として注目されている。

これらの固体撮像装置では、固体撮像装置を実現する半導体の局所的な結晶欠陥や、固体撮像装置を半導体上に形成する製造工程において何らかのゴミやストレス等に起因して画素欠陥が生じることがある。

そして、このような画素欠陥が固体撮像装置上に存在する場合、この画素欠陥に起因して固体撮像装置で得られる画像に白点や黒点などが生じ、画質を劣化させることが知られている。

【0003】

そのため、例えば固体撮像装置の出荷時において画素欠陥検査を行う。

これは、通常の使用時と同様の全画素の画素信号を読み出す方法で、例えば白点検出の場合は全黒の被写体の撮像を行い、黒点検出の場合は全白の被写体の撮像を行う。そして、例えば全黒の画像に白点が検出された場合に、ある個数もしくはある信号レベル以上であれば、その固体撮像装置は不良品であると判断され、その固体撮像装置は出荷をしないようにしている。

【0004】

一方、近年の固体撮像装置では、多画素化や高機能化が望まれている。

したがって、よりいっそうの多画素化が進んだ場合、上記の様な通常使用時と同様の撮像動作を用いて固体撮像装置の検査を行うと、画素数の増加とともに検査時間が膨大になることが予想される。

例えば、VGA ($640 \times 480 = 33$ 万画素) の固体撮像装置でかかっていた検査時間が、SVGA ($1280 \times 1024 = 130$ 万画素) の固体撮像装置では、約4倍の時間がかかることになる。

さらに、近年の固体撮像装置では高機能化が望まれ、同一半導体基板上に様々な回路を画素部以外にも混載することが望まれており、このような固体撮像装置では、さらに複雑な検査処理となる。

【0005】

例えば、図11は、CMOSイメージセンサの構成例を示している。

図示のように、このCMOSイメージセンサは、2次元配列で複数の単位画素を配置した画素部110と、この画素部110の各画素を駆動する駆動回路111と、画素部からの出力信号（以下、画素出力信号という）から雑音を除去するCDS（相関二重サンプリング；correlated double sampling）回路112と、CDS回路112からの画素出力信号を増幅するアンプ回路113と、この増幅された画素出力信号をデジタル変換するA/Dコンバータ回路114と、各回路への動作パルスを生成するタイミングジェネレータ回路115などを有して構成されている。

【0006】

そして、例えばCDS回路112を検査する際には画素部110と駆動回路111をスタンバイ状態にして、CDS回路112の入力部に外部から信号を入力して検査を行うといった処理を行うことになる。

このように通常は各回路部分を後段より順番に検査し、検査の対象となる回路以外はスタンバイ状態にして検査を行っている。

これは、各部が独立に動作できないという回路構成上の問題に起因するものであり、さらに検査の解析精度を上げ、検査で欠陥が発見される確率である欠陥のカバレッジを向上することを図るためである。

これらの原因により、高機能化に伴う混載回路の増加や複雑化が進むと、検査時間が膨大になることが予想される。

【0007】

【発明が解決しようとする課題】

以上のように、従来の画素欠陥検査方法では、固体撮像装置が多画素化や高機能化した場合、よりいっそうの検査時間の増加が予想される。

さらに、検査のために使用するテスト信号やテストプログラムが複雑になり、テスト信号やテストプログラムの作成、検証が難しくなる。

そのため、検査にかかる負担やコストが増大してしまうという問題がある。

【0008】

そこで本発明の目的は、画素欠陥を短時間で検査することができる固体撮像装置及びその画素欠陥検査方法を提供することにある。

【0009】

【課題を解決するための手段】

本発明は前記目的を達成するため、光電変換を行う複数の単位画素よりなる画素部と、前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の信号処理を施して出力する出力信号処理回路と、前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路と、前記駆動回路、出力信号処理回路、及び画素欠陥判定回路に所定の動作パルスを供給するタイミングジェネレータ回路とを有することを特徴とする。

【0010】

また本発明は、光電変換を行う複数の単位画素よりなる画素部と、前記画素部を駆動して画素出力信号の出力動作を制御する駆動回路と、前記駆動回路の駆動制御によって画素部から出力される画素出力信号に所定の信号処理を施して出力する出力信号処理回路と、前記駆動回路、及び出力信号処理回路に所定の動作パルスを供給するタイミングジェネレータ回路とを有する固体撮像装置の画素欠陥検査方法であって、前記出力信号処理回路とは独立して前記駆動回路の駆動制御によって画素部から出力される画素出力信号を取り込み、所定の基準信号と比較することにより画素欠陥を判定する画素欠陥判定回路を設けるとともに、前記タイミングジェネレータ回路からの動作パルスによって前記画素欠陥判定回路を制御し、前記画素部から出力される画素出力信号の欠陥検査を行うことを特徴とす

る。

【0011】

本発明の固体撮像装置及びその画素欠陥検査方法では、出力信号処理回路とは独立して画素部からの画素出力信号を取り込み、画素欠陥を判定する画素欠陥判定回路を設け、この画素欠陥判定回路によって欠陥検査を行うことから、通常の画像出力時と比べて高速な動作で画素出力信号を読み出し、適正な画素欠陥の判定を行うことができ、画素欠陥を短時間で検査することができる。

例えば、駆動回路は、通常で画素を選択する通常読み出し動作と、前記通常読み出し動作より高速で画素を選択する高速読み出し動作とを行う機能を有しており、画素部の欠陥検査時に高速読み出し動作で画素を選択して信号の読み出しを行う、あるいは、1画素単位または画素列単位または画素行単位で画素を選択する通常読み出し動作と、前記通常読み出し動作より多い画素を選択する多画素読み出し動作とを行う機能を有しており、画素部の欠陥検査時に多画素読み出し動作で画素を選択して信号の読み出しを行う、さらには、1画素単位または画素列単位または画素行単位で画素を選択する通常読み出し動作と、前記通常読み出し動作より多い画素を前記通常読み出し動作より高速で選択する多画素高速読み出し動作とを行う機能を有しており、画素部の欠陥検査時に多画素高速読み出し動作で画素を選択して信号の読み出しを行う。

そして、このような通常より迅速に読み出した画素出力信号を専用の判定回路で簡潔な比較演算によって迅速に判定処理し、画素欠陥を短時間で検査することができる。

【0012】

【発明の実施の形態】

以下、本発明による固体撮像装置及びその画素欠陥検査方法の実施の形態例について説明する。

本実施の形態は、固体撮像装置を設けた半導体チップ上に、固体撮像装置の画素部に対して多様な画素選択が可能な駆動回路と、その選択された画素の信号から画素の欠陥などの不良を判別する判定回路とを混載し、固体撮像装置の画素欠陥検査を短時間で実現できるようにしたものである。

【0013】

図1は、本発明の実施の形態による固体撮像装置の構成例を示すブロック図である。

本例の固体撮像装置は、CMOSイメージセンサとして構成されており、2次元配列で複数の単位画素を配置した画素部10と、この画素部10の各画素を駆動する駆動回路11と、画素部10によって出力される画素出力信号から雑音を除去するCDS（相関二重サンプリング；correlated duple sampling）回路（出力信号処理回路）12と、このCDS回路12より出力される画素出力信号を増幅するアンプ回路13と、このアンプ回路13によって増幅された信号をデジタル変換するA/Dコンバータ回路14と、画素出力信号に含まれる画素欠陥を判定する画素欠陥判定回路15と、出力選択用のスイッチ（選択回路）16、17と、各回路への動作パルスを作るタイミングジェネレータ回路18などを有して構成されている。

【0014】

図2は、図1に示すCMOSイメージセンサの画素出力信号の一例を示す説明図である。

通常出力時における画素出力信号は、リセット雑音やアンプ雑音など雑音が含まれているため、まず雑音だけのリセット信号（リセット時の画素出力信号）を読み出し、さらに雑音を含む画素信号（撮像時の画素出力信号）を読み出し、リセット信号と画素信号との差分を出力することで、雑音の除去された信号が得られる。

CDS回路12では、この差分演算を行い、さらに演算した結果をホールドした信号（以下、CDS出力信号という）を出力する。

【0015】

例えば、全白の被写体の撮像を行った場合、リセット信号と画素信号の差分が大きくなり、CDS出力信号の信号レベルが大きくなる。また、全黒の被写体の撮像を行った場合、リセット信号と画素信号の差分が小さく、CDS出力信号の信号レベルはほとんど無いはずである。

なお、このリセット信号のレベルは画素毎、読み出し毎に異なるため、各画素

の読み出し時に、この差分演算を行う必要がある。

しかし、例えば黒点の欠陥がある画素では全白の撮像を行うとCDS出力信号の信号レベルは通常の画素のCDS出力信号に比べて小さくなる。同様に、黒点の欠陥がある画素で全黒の撮像を行うとCDS出力信号の信号レベルは通常の画素のCDS出力信号に比べて大きくなる。

【0016】

以下、このような画素部10からの画素出力信号に対する本例の画素欠陥判定方法について説明する。

まず、図1において、欠陥検査時にはスイッチ16、スイッチ17はともにA端子側に選択し、また、通常読み出し時はスイッチ16をB端子側に選択し、スイッチ17を非導通にして使用する。

また、駆動回路11は、画素部10の各画素を高速で選択して駆動したり、複数の画素を一括して選択して駆動するといった多彩な駆動方法が可能となっている。このような多彩な駆動方法は、タイミングジェネレータ回路18で発生した駆動パルスが駆動回路11に入力され、それにより駆動回路11から画素駆動パルスが画素に入力されることにより、実行される。

そして、欠陥検査時には、上述したスイッチ16、17の選択によって画素出力信号が画素欠陥判定回路15に入力され、欠陥画素による異常な画素出力信号が入力された場合には、画素欠陥判定結果信号によるフラグを立てるようにして、欠陥検査時に画素欠陥がある固体撮像装置を区別できるようにする。

【0017】

図3は、画素欠陥判定回路15の構成例を示すブロック図である。

図示のように、画素欠陥判定回路15は、前段の検査用CDS回路20と、この検査用CDS回路20からの出力を入力して欠陥判定閾値と比較する検査用コンパレータ回路30とから構成されている。

検査用CDS回路20は、入力アンプ21、コンデンサ22、23、トランジスタ24、25より構成され、通常撮像でのCDS回路12と同様に、画素出力信号を入力してリセット信号と画素信号との差分をとり、雑音を除去された検査用CDS出力信号を得るものである。

検査用コンパレータ回路30は、コンパレータ31とD型フリップフロップ32より構成され、検査用CDS回路20からの検査用CDS出力信号と所定の閾値（欠陥判定閾値）とをコンパレータ31で比較することで、画素が欠陥か否かを判定し、画素欠陥判定結果信号として出力する。

なお、検査用CDS回路20は、全黒を撮像している際の白点の検出、もしくは全白を撮像している際の黒点の検出など、輝度差のはっきりした撮像での欠陥画素を検出を目的にしているため、通常の撮像で用いるCDS回路12のような検出精度を必要としないものである。

【0018】

図4は、画素欠陥判定回路15の動作例を示すタイミングチャートである。

画素出力信号のリセット信号部分を、クランプトランジスタ24に対するクランプパルス $\phi S1$ の“Hi”期間でクランプ電圧に揃え（図中aで示す）、画素信号部分をサンプリングトランジスタ25に対するサンプリングパルス $\phi S2$ の“Hi”期間でサンプリングする。

そして、このサンプリングした信号をホールドしている間（ $\phi S2$ の“Lo”期間）、検査用CDS回路20から検査用CDS出力信号を出力する。この検査用CDS出力信号と欠陥判定閾値との比較結果を検査用コンパレータ回路30の出力部分にあるD型フリップフロップ32で検査パルス ϕCK のタイミングでラッチし、画素欠陥判定信号を出力する。

なお、図4では全黒を撮像している際の白点の欠陥画素の検出例を示している。通常の画素出力信号では画素欠陥判定信号は“Hi”になるが、白点の欠陥画素がある場合には画素欠陥判定信号は“Lo”になる。

【0019】

タイミングジェネレータ回路18からは、欠陥画素を検出する際に上記の各パルス $\phi S1$ 、 $\phi S2$ 、 ϕCK のような画素欠陥判定用パルスが出力されるようにする。それとともに、CDS回路12、アンプ回路13、A/Dコンバータ回路14にも検査用のパルス出力すれば、欠陥画素の検査と同時に各回路の検査も行える。

さらに、タイミングジェネレータ回路18自体にも画素欠陥判定用パルスを発

生させる部分と、通常の撮像動作に使用する様々な設定を記憶するレジスタやタイミングの発生部などを切り分けて独立に検査できるようにすれば、さらに検査時間の短縮につながる。

【0020】

図5は、固体撮像装置の各回路を並列に検査した動作例を示すフローチャートである。

まず、検査のスタートでは、チップDCテストを行う（ステップS11）。これは、例えばチップの信号端子や電源端子のオープン不良やショート不良のチェックや静的電源電流チェックなど、固体撮像装置の静的な特性をチェックするものである。

その後、各回路間の接続を所定の信号を固体撮像装置に入力し、その出力をみることでチェックする（ステップS12）。

そして、各回路のACテストを並列に行う（ステップS13～S15）。

このACテストは各回路の機能チェックなど、動的な特性をチェックするものであり、例えば画素部10のACテストでは、前述のように欠陥画素の検査などを行い、CDS回路12のACテストでは、あるCDS検査信号を入力に加えることで、相関二重サンプリングの雑音除去などをチェックする。

なお、図5では、画素部10、CDS回路12、アンプ回路13以外のACテストを省略してあるが、混載する回路により、並列の組み合わせは種々選択できるものである。

そして、最後に固体撮像装置全体の機能チェックとして、チップACテストを行う（ステップS16）。

【0021】

次に、本発明の他の実施の形態について説明する。

図6は、4×4の2次元に配列された単位画素から構成される画素部10と駆動回路11の例を示すブロック図である。なお、VGAでは、この単位画素の配列が640×480になる。

駆動回路11は、画素部10が2次元に配列されているため、垂直と水平の2つの駆動回路11A、11Bで構成されている。垂直、水平の各駆動回路11A

、11Bにはタイミングジェネレータ回路18から検査用パルス ϕCKX 、 $\phi ST1$ 、 $\phi ST2$ が入力され、 ϕAn 、 ϕBn (n は正の整数)の画素駆動パルスを画素部に出力する。

例えば、図6のXの位置にある画素を選択する際は、 $\phi A2$ 、 $\phi B3$ の両方から画素駆動パルスが出力されていれば良い。

【0022】

図7は、垂直駆動回路11Aの具体的な構成例を示している。

この駆動回路11Aは、各画素行、画素列に対応した駆動スキヤナから構成され、それが動作クロック ϕCKX で駆動制御されている。また、 $\phi ST1$ は、駆動回路11Aが出力する画素駆動パルスのスタートのタイミングを与える。

なお、水平駆動回路11Bも同様の構成を有しており、ここでは説明は省略する。

図8は、図7に示す垂直駆動回路11Aの動作例を示すタイミングチャートである。図示のように、 ϕCKX に同期して、 $\phi ST1$ が入力されると順番に $\phi A1$ 、 $\phi A2$ と画素駆動パルスが出力される。

画素出力信号は、画素部10に入射する光量に応じて変化するが、さらに画素を出力するために選択する時間と次の選択する時間の長さ(電荷蓄積時間)に応じて変化する。ただし、前述のように画素欠陥検査の様な輝度差がはっきりした検査の場合、ある程度、電荷蓄積時間が短くても、異常な画素があった場合十分検出できる。

【0023】

また、図7において、タイミングジェネレータ回路18から駆動回路11Aに入力される駆動パルス ϕCK を可変にすることで、容易に電荷蓄積時間を可変にできる。そのため、例えば、図9で示すように、通常の読み出しよりも検査時の ϕCKX を短くすることで、画素欠陥検査の時間を短縮できる。

また、上述した図7の駆動パルス $\phi ST1$ を複数回入力することで、同時に複数の画素が選択でき、それに応じて画素欠陥判定回路15の欠陥判定閾値を変化させることで、複数の画素の欠陥検査を行うことができ、画素欠陥検査の時間をさらに短縮することができる。図10は、この動作例を示すタイミングチャート

である。

【0024】

以上のように、本実施の形態によれば、固体撮像装置の画素欠陥を検査する際に、検査時間の短縮を図ることが可能となる。

すなわち、画素部の検査と固体撮像装置に混載する他の回路の同時の検査が行えるため、固体撮像装置全体の検査時間を短縮することができ、固体撮像装置のコスト減少に寄与できる。

また、画素部だけを独立に検査できるため、他の混載回路とは独立に検査用のプログラムが作成できるため、過去の検査プログラムが応用しやすく、検査プログラムの作成が簡単であるなど、検査の準備期間を短くすることができる。

また、画素部だけを独立に検査できるため、詳細な検査が短時間で行え、故障時のカバレッジを向上させることができ、故障解析精度も向上できる。

さらに、検査用のパルスをタイミングジェネレータ回路で発生させることにより、外部に特別なテストを用意しなくても、固体撮像装置の画素検査が行えることから、特殊な画素検査用のテストを用意しなくても済み、投資額を抑えることができる。

【0025】

なお、上記の例は、本発明を主にCMOSイメージセンサに適用した例について説明したが、本発明は、これに限定されるものでなく、CCDイメージセンサについても同様に、通常出力時の出力信号処理回路とは独立した画素欠陥検査用の判定回路を設けて検査時間の短縮、効率化を図ることが可能である。

また、本発明は、単体の固体撮像装置に限らず、撮像素子以外の機能を有する他の回路素子を同一チップ上に混載した各種の半導体装置として構成されたものであってもよい。

また、上述のような固体撮像装置を撮像部として構成された各種カメラ装置（デジタルビデオカメラ、デジタルスチルカメラ）や固体撮像装置の撮像信号を無線や有線で通信する機能を有する各種通信装置、さらには撮像画像の編集や加工出力を行う機能を有する各種の画像処理装置に適用可能であり、これらの半導体装置、カメラ装置、通信装置（携帯型機器を含む）、及び画像処理装置について

も本発明に含まれるものとする。

【0026】

【発明の効果】

以上説明したように本発明の固体撮像装置によれば、出力信号処理回路とは独立して画素部からの画素出力信号を取り込み、画素欠陥を判定する画素欠陥判定回路を設け、この画素欠陥判定回路によって欠陥検査を行うことから、通常の画像出力時と比べて高速な動作で画素出力信号を読み出し、適正な画素欠陥の判定を行うことができ、画素欠陥を短時間で検査することができる効果がある。

また、このような固体撮像装置を用いた半導体装置、カメラ装置、通信装置、画像処理装置においても同様に、通常の画像出力時と比べて高速な動作で画素出力信号を読み出し、適正な画素欠陥の判定を行うことができ、画素欠陥を短時間で検査することができる効果がある。

また、同様に本発明の固体撮像装置の画素欠陥検査方法によれば、出力信号処理回路とは独立して画素部からの画素出力信号を取り込み、画素欠陥を判定する画素欠陥判定回路を設け、この画素欠陥判定回路によって欠陥検査を行うことから、通常の画像出力時と比べて高速な動作で画素出力信号を読み出し、適正な画素欠陥の判定を行うことができ、画素欠陥を短時間で検査することができる効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態による固体撮像装置（CMOSイメージセンサ）の構成例を示すブロック図である。

【図2】

図1に示すCMOSイメージセンサの画素出力信号の一例を示す説明図である。

【図3】

図1に示すCMOSイメージセンサの画素欠陥判定回路の構成例を示すブロック図である。

【図4】

図1に示すCMOSイメージセンサの画素欠陥判定回路の動作例を示すタイミングチャートである。

【図5】

図1に示すCMOSイメージセンサの各回路を並列に検査した動作例を示すフローチャートである。

【図6】

図1に示すCMOSイメージセンサの画素部と駆動回路のやや具体的な例を示すブロック図である。

【図7】

図6に示す垂直駆動回路の具体的な構成例を示すブロック図である。

【図8】

図7に示す垂直駆動回路の動作例を示すタイミングチャートである。

【図9】

図7に示す垂直駆動回路の他の動作例を示すタイミングチャートである。

【図10】

図7に示す垂直駆動回路のさらに他の動作例を示すタイミングチャートである。

【図11】

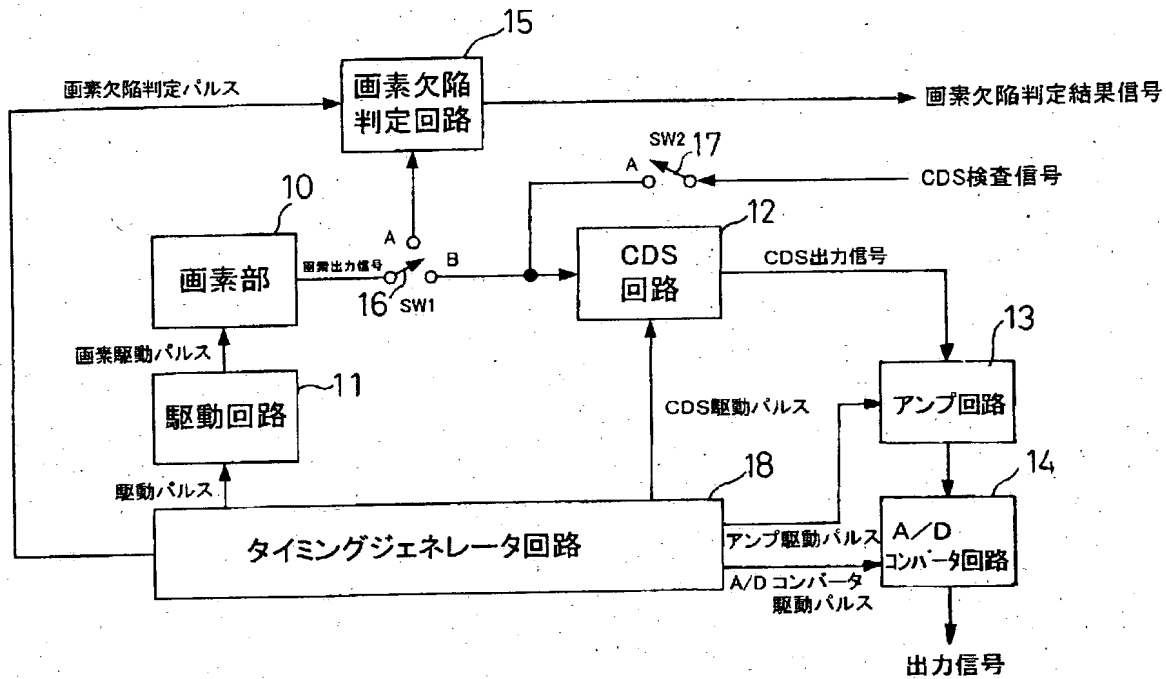
従来の固体撮像装置（CMOSイメージセンサ）の構成例を示すブロック図である。

【符号の説明】

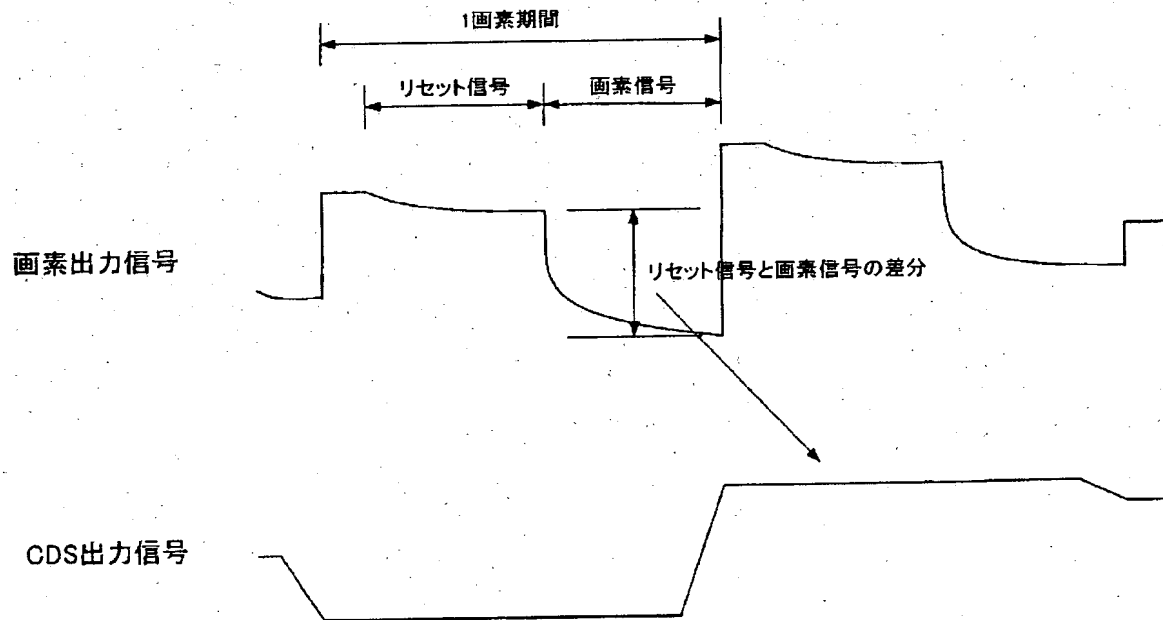
10……画素部、11……駆動回路、12……CDS回路、13……アンプ回路、14……A/Dコンバータ回路、15……画素欠陥判定回路、16、17……スイッチ、18……タイミングジェネレータ回路。

【書類名】 図面

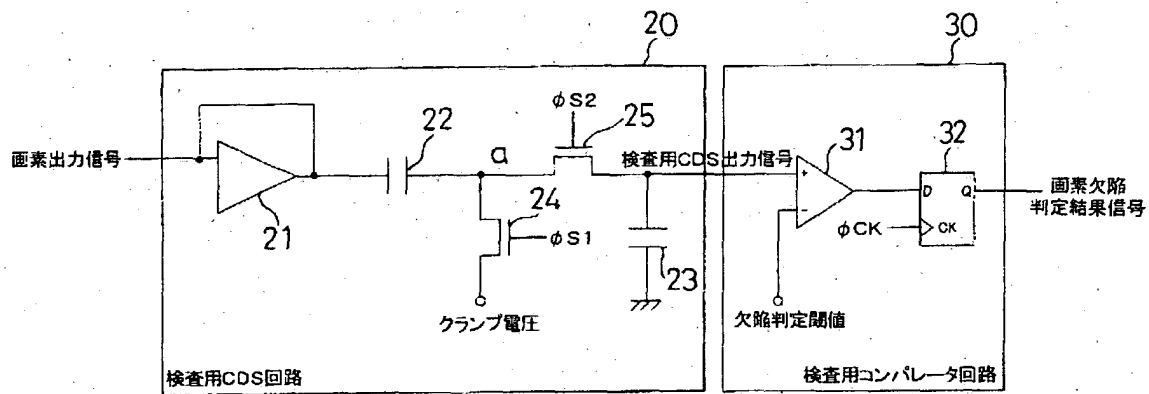
【図1】



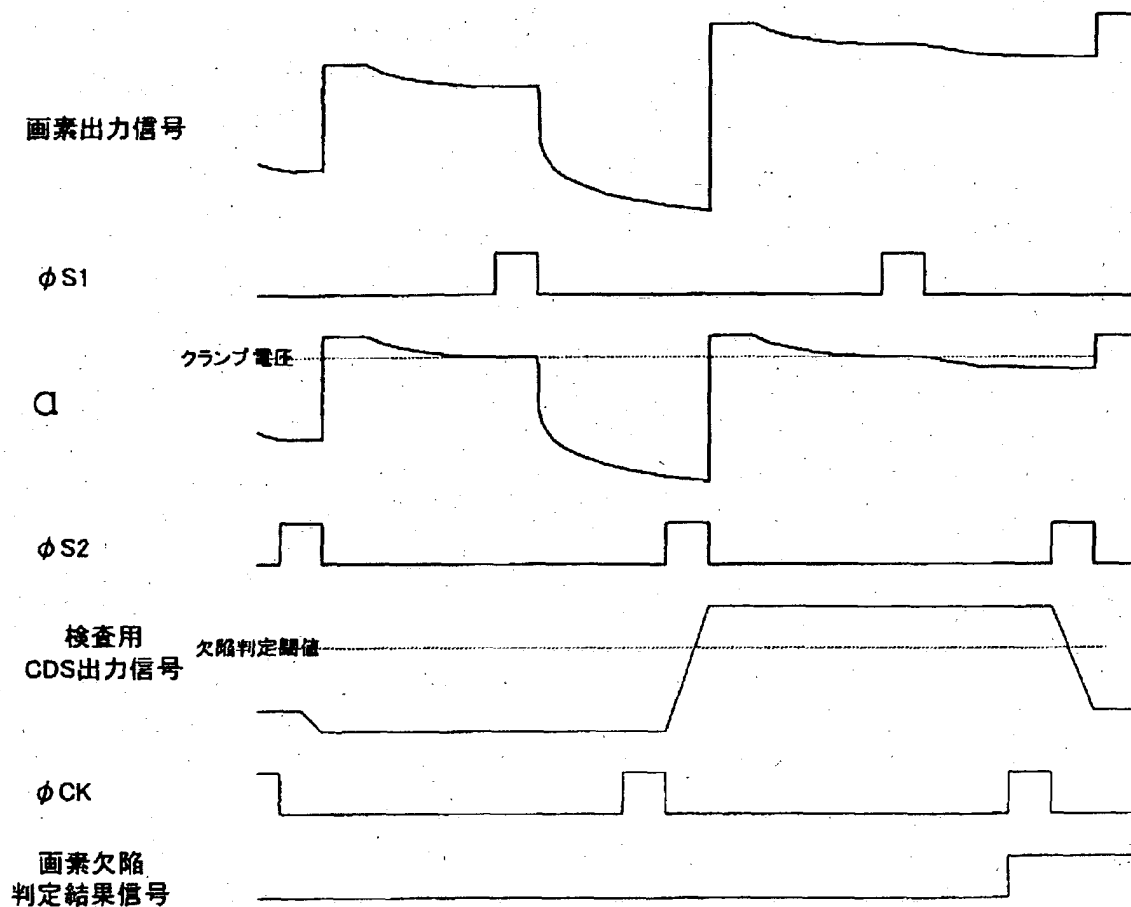
【図2】



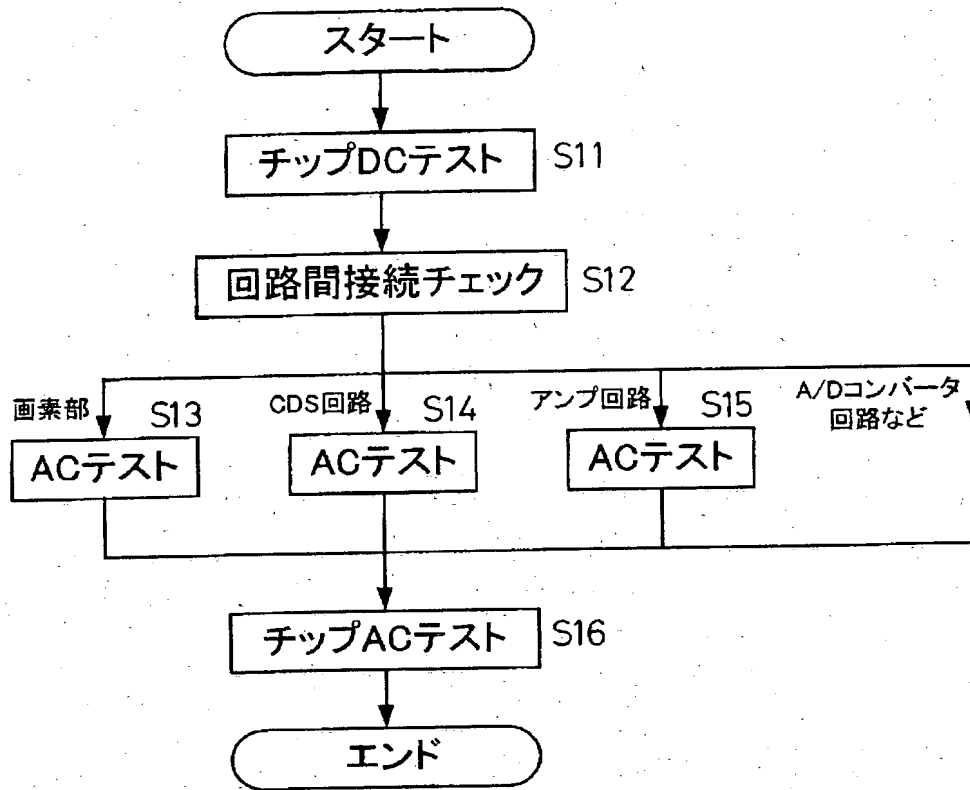
【図3】



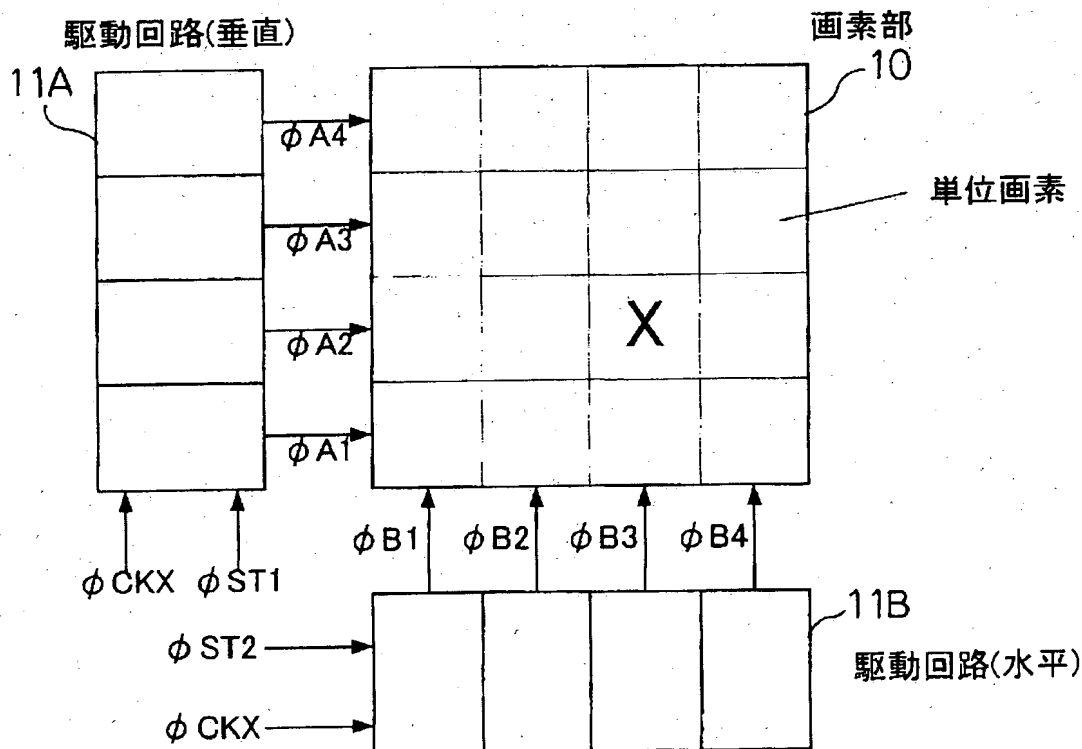
【図4】



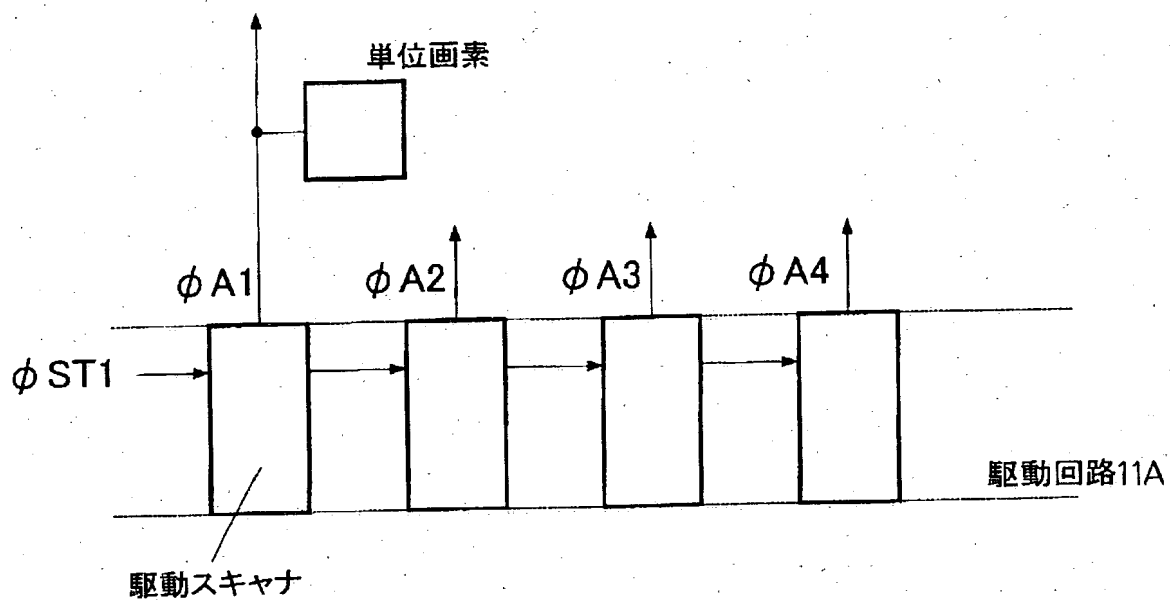
【図5】



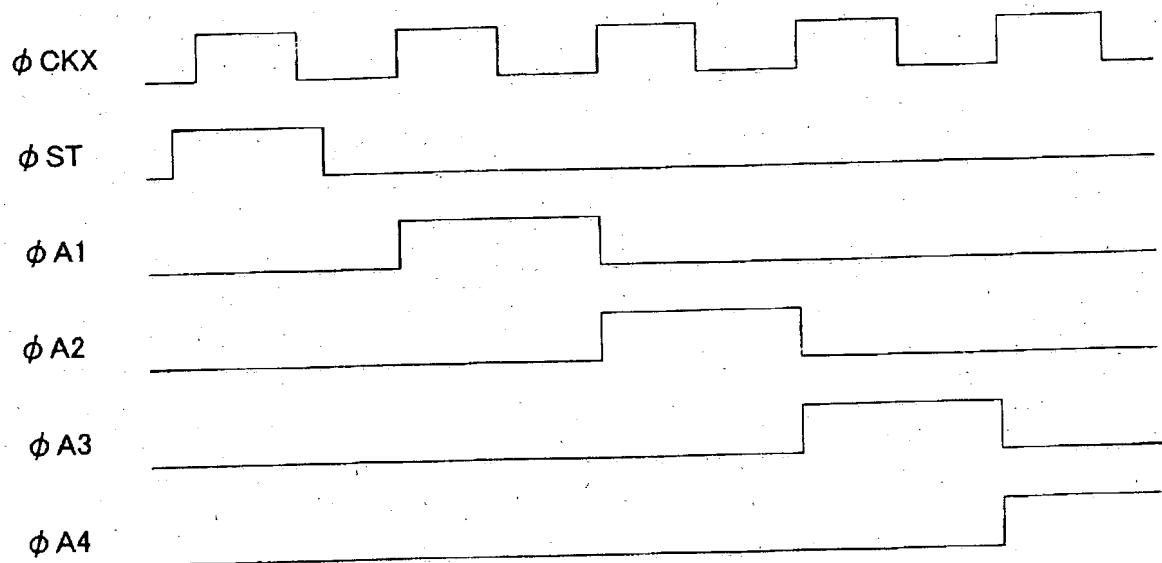
【図6】



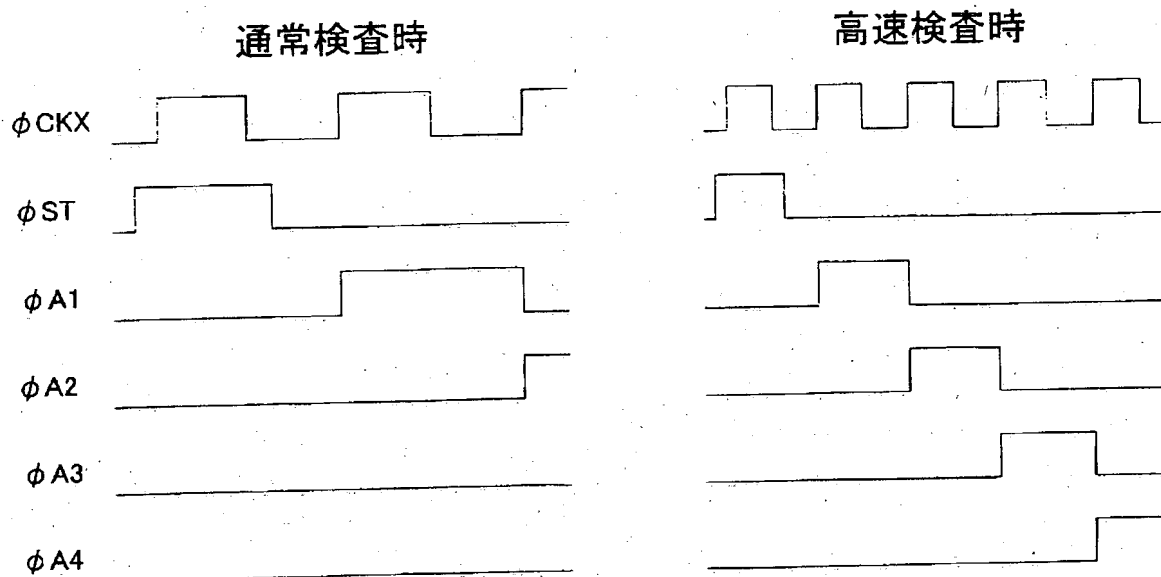
【図 7】



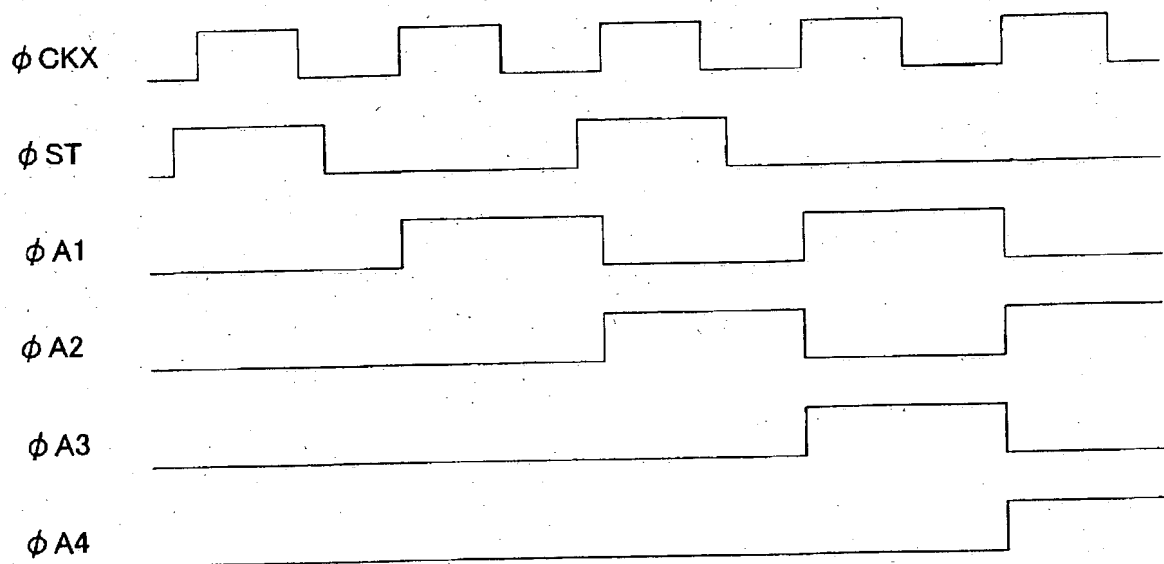
【図 8】



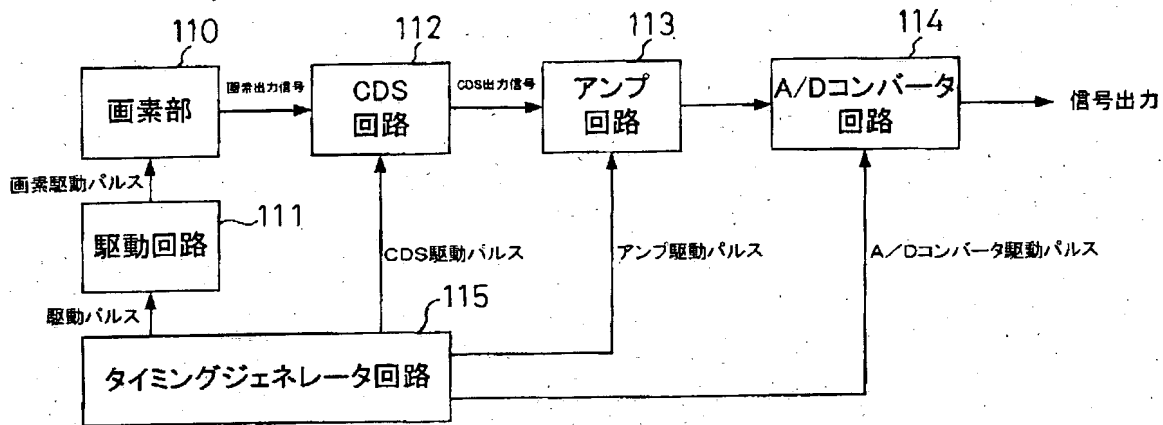
【図9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 固体撮像装置における画像部の画素欠陥を短時間で検査する。

【解決手段】 スイッチ16、17は、画素部10の出力経路を通常出力のためのCDS回路12と欠陥検査のための画素欠陥判定回路15に切り換える。駆動回路11は、画素部10の各画素を高速で選択して駆動したり、複数の画素を一括して選択して駆動するといった多彩な駆動方法が可能である。画素欠陥判定回路15は、画素出力信号を基準信号と比較し、欠陥判定を行う。欠陥検査時には、駆動回路11によって画素部10から高速に画素信号を読み出すとともに、スイッチ16、17の選択によって画素出力信号が画素欠陥判定回路15に入力され、欠陥画素による異常な画素出力信号が入力された場合には、画素欠陥判定結果信号によるフラグを立てるようにして、欠陥検査時に画素欠陥がある固体撮像装置を区別できるようにする。

【選択図】 図1

特2002-197512

出 願 人 履 歴 情 報

識別番号 {000002185}

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社